

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-286304
(P2000-286304A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) IntCl⁷

H01L 21/60
21/46

識別記号

311

FI

H01L 21/60
21/46

テーム(参考)

311S 5F044
5F046

審査請求 未請求 請求項の数18 OL (全7頁)

(21) 出願番号 特願平11-94093

(22) 出願日 平成11年3月31日 (1999. 3. 31)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 倉島 羊平

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム(参考) 5F044 KK02 KK17 KK18 KK19 KK25

LL15 QQ02 QQ03 QQ04 RR19

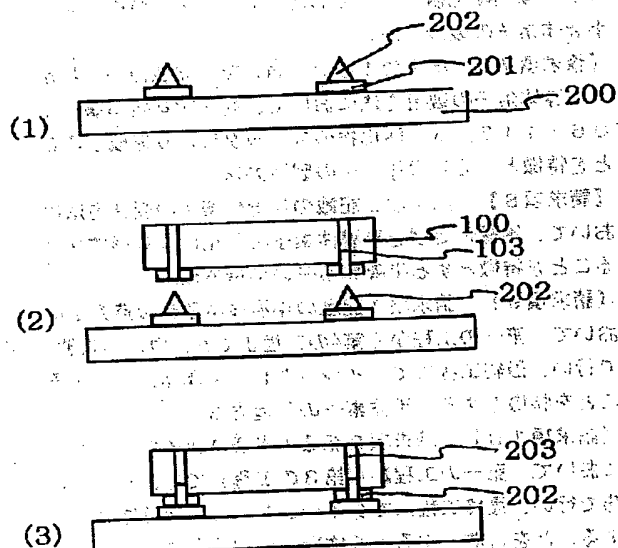
5F046 JA27 MA01 MA12

(54) 【発明の名称】 半導体素子の製造方法、および半導体素子、および半導体装置の製造方法、および半導体装置、
ならびに実装モジュール

(57) 【要約】

【課題】 本発明は、半導体素子の製造方法、および半導体素子、および半導体装置の製造方法、および半導体装置、ならびに実装モジュールに関する。特に、ペアクリップのフリップチップ実装に関する。

【解決手段】 半導体素子(100)側のパッド部に貫通穴部(103)を設け、前記穴部に基板側の突起電極(202)を挿入させる。挿入により接続エネルギーを低くして接続を行う。また、貫通穴方向へのバンプ材料の逃げを設け接続を行うことと、貫通穴により接続状態を評価することを行う。



【特許請求の範囲】

【請求項1】 半導体素子(100)の電極部(101)面に絶縁化層(102)を配置する第1の工程と、前記絶縁化層(102)と前記電極部(101)と半導体素子(100)とを貫通する貫通穴(103)を形成する第2の工程と、前記貫通穴(103)の内壁部(104)を含む範囲に絶縁処理を施す絶縁処理層(105)を形成する第3の工程と、前記電極部の絶縁層(102)を除去する第4の工程とを、この順序で行うことを特徴とする半導体素子の製造方法。

【請求項2】 半導体素子(110)の電極部(111)面に金めっき処理を行い金属層(116)を形成する第1の工程と、前記電極部(111)と半導体素子(110)とを貫通する貫通穴(113)を形成する第2の工程と、前記貫通穴の内壁部(114)を含む範囲に絶縁化処理を施し絶縁処理層(115)を形成する第3の工程とを、この順序で行うことを特徴とする半導体素子の製造方法。

【請求項3】 請求項1記載の半導体素子の製造方法において、前記絶縁化層(102)は、樹脂材料により形成されることを特徴とする半導体素子の製造方法。

【請求項4】 請求項1記載の前記絶縁化層(102)は熱可塑性樹脂を加熱溶融することにより形成することを特徴とする半導体素子の製造方法。

【請求項5】 請求項3記載の前記絶縁化層(102)は、感光性樹脂により形成されることを特徴とする半導体素子の製造方法。

【請求項6】 請求項1ないし請求項5記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105)は熱硬化樹脂により形成されることを特徴とする半導体素子の製造方法。

【請求項7】 請求項1ないし請求項2記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105/115)は、酸化物のスパッタにより形成することを特徴とする半導体素子の製造方法。

【請求項8】 請求項2記載の半導体素子の製造方法において、絶縁化処理を半導体素子の酸化により形成させることを特徴とする半導体素子の製造方法。

【請求項9】 請求項1記載の半導体素子の製造方法において、第一の工程から第4の工程までを、ウエハ状態でいき、最終工程にてダイシングし、半導体素子とすることを特徴とする半導体素子の製造方法。

【請求項10】 請求項2記載の半導体素子の製造方法において、第一の工程から第3の工程までを、ウエハ状態でいき、最終工程にてダイシングして、半導体素子とすることを特徴とする半導体素子の製造方法。

【請求項11】 請求項1ないし請求項2記載のいずれかの貫通穴形成工程をレーザー加工により形成することを特徴とする半導体素子の製造方法。

【請求項12】 請求項1ないし請求項2記載のいずれ

かの半導体素子の製造方法を実施することにより形成されることを特徴とする半導体素子。

【請求項13】 請求項12の半導体素子において、前記半導体素子の電極部を酸化防止機能を有する金属膜形成処理を実施していることを特徴とする半導体素子。

【請求項14】 請求項12記載の半導体素子(100/110)と、前記半導体素子の電極の貫通穴(103/113)の位置に突起電極(202)を有する配線基板(200)とを位置合わせする工程と、前記突起電極(202)を貫通穴(103/113)に挿入する工程と接続する工程とを、この順序で行うことを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の製造方法において、前記挿入時に超音波を付加させることを特徴とする半導体装置の製造方法。

【請求項16】 請求項14記載の製造方法を実施することにより形成されることを特徴とする半導体装置。

【請求項17】 請求項16記載の半導体装置の貫通穴部(203)に電極処理を施し、突起電極(212)を形成し、請求項13記載の半導体素子を積層して構成されることを特徴とする実装モジュール。

【請求項18】 請求項17記載の実装モジュールの電極処理を、貫通穴部にワイヤーボンディングをすることにより形成することを特徴とする実装モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法、および半導体素子、および半導体装置の製造方法、および半導体装置、ならびに実装モジュールに関する。特に、ベアチップのフリップチップ実装に関する。

【0002】

【背景技術】従来のベアチップ実装は、大きく3つの方式が提案されている。1つは、ワイヤーボンディング技術を用いた実装方式であり、たとえば、実装基板上にベアチップを能動面を上(通常フェイスアップと称する)に接着し、チップのA1電極と基板上の電極配線とをAuのワイヤーにより接続する方式である。2つめの実装方式は、TAB(Tape Automated Bonding)技術と云われる方式であり、例えば、PIテープ上のCuリードとチップ上のパンプ電極とをAu-Snの共晶合金により接続するものである。3つめは、フリップチップ実装と呼ばれる(フェイスダウン実装とも呼ばれる)もので、ベアチップのパンプ電極と基板上の電極をベアチップをフェイスダウンにして接続するものである。その実装方式は、はんだから樹脂系の接続方式まで各種提案されている。その場合の対向する電極は、チップのパッドに電極を凸型の電極を設け、基板側のパッドないしは、チップ側のパッドに、基板側の突起したパッド部を接合するという、凸型-凸型、凸型-平坦形、平坦形-凸型の組み合わせにより、接合を行って

いる。

【0003】また、その接合では、その接合条件が信頼性のある接合条件の為に重要な品質要因であり、各種の実装工法に対してそれぞれ最適条件が決められていた。

【0004】

【発明が解決しようとする課題】ところで、ベアチップの回路動向として、接続配線の狭ピッチ化、多ピン化の要求が高まってきた。また、配線ルールの狭ピッチ化に伴い、それを受ける基板も複雑になり、基板の特性を考慮した実装が必要となってきた。

【0005】また、近年電子機器の小型化に伴い電子機器の電源端子や、入出力用の信号端子の端子面積を縮小して、さらに電子機器を小型化しようとする動きも活発になっている。この様な状況の中で、高密度実装を実現できるフリップチップ実装の要求が高まってきた。

【0006】本発明はこの様な要求に応えるべくなされたものであり、微細ピッチな接合をストレスを少なくして接合することを提供することにある。また、フリップチップの短所である接続部が隠れ、検査を実施しにくい問題点に対して、課題を解決させることにある。

【0007】

【課題を解決するための手段】本発明の半導体素子の製造方法は、半導体素子(100)の電極部(101)面に絶縁化層(102)を配置する第1の工程と、前記絶縁化層(102)と前記電極部(101)と半導体素子(100)とを貫通する貫通穴(103)を形成する第2の工程と、前記貫通穴(103)の内壁部(104)を含む範囲に絶縁処理を施す絶縁処理層(105)を形成する第3の工程と、前記電極部の絶縁層(102)を除去する第4の工程とを、この順序で行うことを特徴とする。

【0008】本発明による半導体素子の製造方法によれば、電極導通部が露出され、かつ、絶縁処理された貫通穴を得ることができるので、電極部に凹形状のあるベアチップを提供することができる。

【0009】本発明の半導体素子の製造方法は、半導体素子(110)の電極部(111)面に金めっき処理を行い金属層(116)を形成する第1の工程と、前記電極部(111)と半導体素子(110)とを貫通する貫通穴(113)を形成する第2の工程と、前記貫通穴の内壁部(114)を含む範囲に絶縁化処理を施し絶縁処理層(115)を形成する第3の工程とを、この順序で行うことを特徴とする。

【0010】本発明による半導体素子の製造方法によれば、電極導通部が露出され、かつ、絶縁処理された貫通穴を得ることができるので、電極部に凹形状のあるベアチップを提供することができる。

【0011】本発明の半導体素子の製造方法は、請求項1記載の半導体素子の製造方法において、前記絶縁化層(102)は、樹脂材料により形成されることを特徴と

する。

【0012】本発明による半導体素子の製造方法によれば、通常の安価なドライフィルムのようなレジスト材料を用いてラミネートすることができる。

【0013】本発明の半導体素子の製造方法は、請求項1記載の前記絶縁化層(102)は熱可塑性樹脂を加熱溶融することにより形成することとを特徴とする。

【0014】本発明による半導体素子の製造方法によれば、通常のスピコート技術を利用して製造することができる。

【0015】本発明の半導体素子の製造方法は、請求項3記載の前記絶縁化層(102)は、感光性樹脂により形成されることを特徴とする。

【0016】本発明による半導体素子の製造方法によれば、能動面の電極部にのみレジスト処理を行うことが可能となる。

【0017】本発明の半導体素子の製造方法は、請求項1ないし請求項5記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105)は熱硬化樹脂により形成されることを特徴とする。

【0018】本発明による半導体素子の製造方法によれば、貫通穴部に絶縁層を容易に形成することができる。

【0019】本発明の半導体素子の製造方法は、請求項1ないし請求項2記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105/115)は、酸化物のスパッタにより形成することとを特徴とする。

【0020】本発明による半導体素子の製造方法によれば、穴部の凹凸形状に対して安定して、膜付けを行うことが可能となる。

【0021】本発明の半導体素子の製造方法は、請求項2記載の半導体素子の製造方法において、絶縁化処理を半導体素子の酸化により形成させることを特徴とする。

【0022】本発明による半導体素子の製造方法によれば、加熱のみの工程で酸化膜付けが可能となり、安定的にかつ、穴部に対して、膜付けできる。

【0023】本発明の半導体素子の製造方法は、請求項1記載の半導体素子の製造方法において、第一の工程から第4の工程までを、ウエハ状態でを行い、最終工程にてダイシングし、半導体素子とすることを特徴とする。

【0024】本発明による半導体素子の製造方法によれば、処理をウエハ状態で行うので、一括に処理することができ、高生産性が可能となる。

【0025】本発明の半導体素子の製造方法は、請求項2記載の半導体素子の製造方法において、第一の工程から第3の工程までを、ウエハ状態でを行い、最終工程にてダイシングして、半導体素子とすることを特徴とする。

【0026】本発明による半導体素子の製造方法によれば、処理をウエハ状態で行うので、一括に処理することができ、高生産性が可能となる。

【0027】本発明の半導体素子の製造方法は、請求項

1ないし請求項2記載のいずれかの貫通穴形成工程をレーザー加工により形成することを特徴とする半導体素子の製造方法。

【0028】本発明による半導体素子の製造方法によれば、高アスペクトの微細径の貫通穴を容易に加工することができる。

【0029】また、本発明の半導体素子は、請求項1ないし請求項2記載のいずれかの半導体素子の製造方法を実施することにより形成されることを特徴とする半導体素子。

【0030】また、本発明による半導体素子によれば、半導体素子の電極部に穴がある構造となり、実装基板の突起部を半導体素子の穴に挿入すれば接続は実現し、実装基板に対しての実装性が向上する。

【0031】本発明の半導体素子は、請求項10の半導体素子において、前記半導体素子の電極部を酸化防止機能を有する金属膜形成処理を実施していることを特徴とする。

【0032】本発明による半導体素子によれば、その後の酸化膜付け工程に対して、反応することのない導電化層を維持できる。

【0033】本発明の半導体装置の製造方法は、請求項10記載の半導体素子(100/110)と、前記半導体素子の電極の貫通穴(103/113)の位置に突起電極(202)を有する配線基板(200)とを位置合わせする工程と、前記突起電極(202)を貫通穴(103/113)に挿入する工程と接続する工程とを、この順序で行うことを特徴とする。

【0034】本発明による半導体装置の製造方法によれば、基板側の突起電極と、半導体素子側の電極とが容易に電気的接続の取れる構造を得ることができる。また、基板側の突起電極に対して、貫通穴部に突起電極の形状変形の逃げを有した構造をとることができる。また、貫通穴を通して、実装性を評価することができる。

【0035】本発明の半導体装置の製造方法は、請求項14記載の製造方法において、前記挿入時に超音波を付加させることを特徴とする。

【0036】本発明による半導体装置の製造方法によれば、半導体素子の電極部の酸化膜を排除でき、また、接続による界面での合金層を成長させることができ安定した接続を得ることができる。

【0037】本発明の半導体装置は、請求項14記載の製造方法を実施することにより形成されることを特徴とする。

【0038】本発明による半導体装置によれば、実装性検査性が容易な構造を提供できる。

【0039】本発明の実装モジュールは、請求項16記載の半導体装置の貫通穴部(203)に電極処理を施し、突起電極(212)を形成し、請求項13記載の半導体素子を積層して構成されることを特徴とする。

【0040】本発明による実装モジュールによれば、3次元実装をすることが可能となり、実装密度を高められる。

【0041】本発明の実装モジュールは、請求項17記載の実装モジュールの電極処理を、貫通穴部にワイヤーボンディングをすることにより形成することを特徴とする。

【0042】本発明による実装モジュールによれば、容易に積層構造における上下導通電極を形成でき、3次元実装構造を提供できる。

【0043】

【発明の実施の形態】以下各図を参照して、本発明にかかわる半導体モジュール製造方法を詳細に述べる。

【0044】図1は、本発明の一実施例による概略図である。図にそって製造方法について、説明する。まず、ベアチップ100の能動面にマスクテープとして、ラミネート処理を実施する。ラミネートテープ102は、ドライフィルム形態のレジスト剤を使用して、パッド部101を保護する。能動面にドライフィルムをラミネータにより貼付け、ベーキングし、レジストを作成した。次に、ベアチップのパッド部にレーザーによる穴あけを実施する。レーザーは、YAGの高調波を用いることで、パッド面積50 μm 以内での穴あけが可能となり、20~30 μm の貫通穴103を形成する。通常、パッドサイズは、100 μm 角程度であり、パッドの中央部のみを加工した、他の能動面に欠陥を生じさせない穴あけが可能となる。次に、穴部104に絶縁処理を実施し、絶縁処理層105を作成する。絶縁処理は粘度の低い絶縁樹脂を用いて、毛細管現象により、穴部に樹脂を注入する。注入後、ベーキングし、樹脂を硬化させる。粘度を低粘度化することにより、貫通穴内壁面のみに絶縁処理をすることが可能である。ここで、ホットメルト系に代表される熱可塑性の樹脂を使用することにより、加熱により樹脂の粘度が下がり、容易に注入することが可能となる。次に、ラミネート剤をはがし、パッド部のみ導電部を露出させる。ウエットのエッチングにより、ドライフィルムからなるレジスト剤を剥離することができる。また、02プラズマなどのドライのエッチングを能動面に対して行うことにより、パッドの電極を露出させることができる。このことにより、パッド部のみ導電化し、ほかの穴あけ部分を含めた部分は絶縁化されたベアチップを作成することができる。

【0045】一方、図2に基板側の処理および半導体装置の実装方法について説明する。基板200側の電極201に凸型の電極として、スタッドパンプ202を作成する。基板側にはあらかじめAuメッキ処理を施し、パンプ付けを行う。パンプは、ワイヤーボンディングの技術で、 $\phi 25\mu\text{m}$ 程度のAu線を用いて、ワイヤーボンディングの1次側の接続を行い、引き千切り方式により、突起電極を作成する。スタッドパンプにより、50 μm 高さ

程度の円錐状の突起電極を形成させることができる。その後、前述の、バンプ部に貫通穴103を作成したベアチップ100をフリップチップ実装する。接続では、基板の配線パターンと、チップの能動面パターンを個別に画像認識して、位置合わせを行う。その後、圧入により、チップの貫通穴103に基板側のバンプ202を挿入する。スタッドバンプは、Au材で作られており、Auの延性により形状の変化が大きく取れ、十分な接続面積を得ることができる。また、接合では、圧入により行われるので、特別に加熱する必要はない。

【0046】バンプ付けは、スタッドバンプの例で説明したが、メッキバンプであっても接続は可能であり、Auの延性を利用して接続を確保できる。

【0047】また、接合に関しては、圧入時に超音波を与えることによりより確実な接合を得ることができる。ベアチップのパッドは通常Alで形成されるが、Alは酸化されやすく強固な酸化膜を形成させやすい。そのため、接合時に超音波を与え、Alの酸化膜を除去し接合させれば安定した接合が得られる。なお、パッドを酸化しにくい金属でメタライズしておけば問題ない。

【0048】また、接合時に加熱することにより、スタッドバンプとバンプの金属との安定した金属間化合物が形成されより安定した接合が可能となる。接合後のベークにより金属間化合物を安定化させることもできる。通常の接続では、合意近接族の場合、合金組成の安定化、また接着剤による接続の場合、気泡の防止、樹脂硬化率の安定化などのために、接続条件はシビアに管理される。それに対して、本発明によれば、基本的には、突起電極を穴部に挿入すれば、電気的接続が得られることになり、非常に接続管理ポイントを少なくすることができる。

【0049】この方式によれば、微細ピッチ接続の場合、隣り合うバンプのショートが問題となるが、チップに貫通穴があることで、スタッドバンプのバンプ材の挿入に対して余剰のバンプの逃げの部分が形成されて、隣り合うバンプの変形によるショートの発生確率を下げるることができる。また、基板を有機基板にした場合、基板の凹凸によりフリップチップ実装面で10数 μm の段差が発生し、それに対して、オープン、ショートの発生なく接続が取られなければならない。そのため、接合部のバンプはかなり変形し、特に基板の凸部である範囲ではチップと基板とのギャップが狭くなり、変形度合いが大きい。この要求に対して、本方式ではスタッドバンプの変形の逃げ先により対応ができる。

【0050】また図3に示すように、接続時にアンダーフィル材211を塗布し、フリップチップ実装を行い、アンダーフィルを形成させることができる。アンダーフィル材は、フリップチップ実装後の乾燥工程により、加熱硬化することができ、ボンディング工程そのものは、短時間で処理が可能となる。

【0051】また、接続部は、本方式によれば、Au材料であり、延性があることから、ワイヤーボンディングと同等に、熱膨張差による発生応力に対して、十分に応力緩和ができることになる。

【0052】また接続後に、貫通穴へのバンプ挿入量を管理することで、接続品質を管理することができる。また、電極接続部は、露出されており、チップの貫通穴を通して、搭載ずれをチェックすることが可能であり、チップの貫通穴にピンを挿入することで、電気的接続検査を実施することも可能である。

【0053】また、貫通穴があることにより、接続前の位置合わせにおいて、同一方向のカメラから貫通穴を通して、貫通穴位置と基板の電極位置の認識が可能となる。

【0054】図4は、本発明の別の実施例である。まず、ベアチップ110のパッド111に対して、表面処理を行う。表面処理は、無電解メッキプロセスを用いて、パッドにメタライズ116を実施する。まず、Alパッドに対して、ジンケート処理を行い、次に、無電解処理として、Niメッキ、Auメッキを行う。Alパッドに対して、酸化防止膜を形成すれば良く、無電解Auメッキは1 μm 以下の薄い層で十分である。無電解メッキによれば、電極部に対して特にマスクを作成せずにメタライズが可能となり、低コストで処理が可能となる。次に、レーザーにより、パッド部の穴あけを実施する。先述の例と同様に、YAGの高調波により、数十 μm の貫通穴113を形成することが可能である。その後、穴部の絶縁処理として、酸化膜を作成する。酸化膜115は、加熱酸素雰囲気中による拡散で作成する。このことにより、チップ電極部のみ導電化され、その他のエリアは、酸化膜形成により絶縁されたチップが形成できる。このチップを用いることで、先に説明したように配線基板に対してチップを実装することができる。

【0055】上記内容は、ベアチップ単体について説明したが、ウエハに対して、上記プロセスを実施することができる。ウエハレベルで処理することにより、生産性が高く、一括に処理することができる。

【0056】また、説明では、レーザーによる貫通穴を作成したが、基板側のバンプがチップ側の穴に圧入できればよく、貫通穴である必要はない。

【0057】また、図5は、本方式を用いた積層実装モジュールの例である。先述の説明のように、ベアチップ100/110を実装した後で、裏面を研磨し、チップ厚みを50 μm 以下にする。もちろん、最初のベアチップの状態で50 μm 以下にしておいてもよい。このことにより、チップ裏面に対して、チップ裏面から、能動面側の基板との接続端子部のAu材までの深さである段差を20 μm 程度にすることができる。その後、チップ側にスタッドバンプ212を作成する。バンプは、作成するバンプ径にもよるが、 $\phi 25\mu\text{m}$ のAu線を用い、スパ

10

20

30

40

50

ーク径60 μ m径で作成した。チップ上面の貫通穴電極部に20 μ m程度の段差があることになるが、その部分に、ワイヤーボンディングを行う。貫通穴部が薄いことにより、貫通穴部に金が入り込んで接続が可能となる。この際、貫通穴を通して、下の金電極と、チップ上面に形成したスタッドバンプとが、金-金の合金を形成し、接続信頼性をうることができる。その後、前述と同様に、このスタッドバンプによる突起電極を用いて、チップに貫通穴処理を施したチップ300を実装する。

【0058】チップの積層は、メモリーのように同一端子を接続できる形態のものについて実施例があるが、本方式によれば、下側のチップに特に、電極を設ける必要はなく、下側のチップに回路形成をしない領域を作り、そこに貫通穴を空け、基板とは2段目のチップの電極と配線するようにすれば、チップサイズによらず、また、1段目と2段目で同一の共通電極を作らずに、段階積みの回路形成が可能となる。つまり、下段側のチップ設計を工夫することにより、パッドレイアウトが異なった、また、チップサイズが異なった、ベアチップの積層が容易に可能となる。

【0059】また、本例では、1段目と2段目の上下導通をワイヤーボンディングによるスタッドバンプ作成で説明したが、ピン等の導通材料の圧入により1段目のチップに対して、接続部の突起電極部を突出させ、2段目の挿入電極として使用することができる。

【0060】以上の実装モジュールによれば、チップの上下導通をチップ内に形成したビアにより行い、3次元的に、究極の省スペースで、チップ回路を構成することが可能となる。

【0061】

【発明の効果】本発明による半導体素子の製造方法によれば、電極導通部が露出され、かつ、絶縁処理された貫通穴を得ることができるので、電極部に凹形状のあるベアチップを提供することができる。

【0062】また、本発明による半導体素子の製造方法によれば、通常の安価なドライフィルムのようなレジスト材料を用いてラミネートすることができる。

【0063】また、本発明による半導体素子の製造方法によれば、通常のスピコート技術を利用して製造することができる。

【0064】また、本発明による半導体素子の製造方法によれば、能動面の電極部にのみレジスト処理を行うことが可能となる。

【0065】また、本発明による半導体素子の製造方法によれば、貫通穴部に絶縁層を容易に形成することができる。

【0066】また、本発明による半導体素子の製造方法によれば、穴部の凹凸形状に対して安定して、膜付けを行うことが可能となる。

【0067】また、本発明による半導体素子の製造方法

によれば、加熱のみの工程で酸化膜付けが可能となり、安定的にかつ、穴部に対して、膜付けできる。

【0068】また、本発明による半導体素子の製造方法によれば、処理をウエハ状態で行うので、一括に処理することができ、高生産性が可能となる。

【0069】また、本発明による半導体素子の製造方法によれば、高アスペクトの微細径の貫通穴を容易に加工することができる。

【0070】また、本発明による半導体素子によれば、半導体素子の電極部に穴がある構造となり、実装基板の突起部を半導体素子の穴に挿入すれば接続は実現し、実装基板に対しての実装性が向上する。

【0071】本発明の半導体素子は、請求項10の半導体素子において、前記半導体素子の電極部を酸化防止機能を有する金属膜形成処理を実施していることを特徴とする。

【0072】本発明による半導体素子によれば、その後の酸化膜付け工程に対して、反応することのない導電層を維持できる。

【0073】本発明による半導体装置の製造方法によれば、基板側の突起電極と、半導体素子側の電極とが容易に電気的接続の取れる構造を得ることができる。また、基板側の突起電極に対して、貫通穴部に突起電極の形状変形の逃げを有した構造をとることができる。また、貫通穴を通して、実装性を評価することができる。

【0074】本発明による半導体装置の製造方法によれば、半導体素子の電極部の酸化膜を排除でき、また、接続による界面での合金層を成長させることができ安定した接続を得ることができる。

【0075】本発明による半導体装置によれば、実装性検査性が容易な構造を提供できる。

【0076】本発明による実装モジュールによれば、3次元実装をすることが可能となり、実装密度を高められる。

【0077】本発明による実装モジュールによれば、容易に積層構造における上下導通電極を形成でき、3次元実装構造を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例説明する概略図である。

【図2】本発明の一実施例説明する概略図である。

【図3】本発明の一実施例説明する概略図である。

【図4】本発明の一実施例説明する概略図である。

【図5】

【符号の説明】

100 半導体素子

101 半導体素子の電極

102 絶縁化層

103 貫通穴

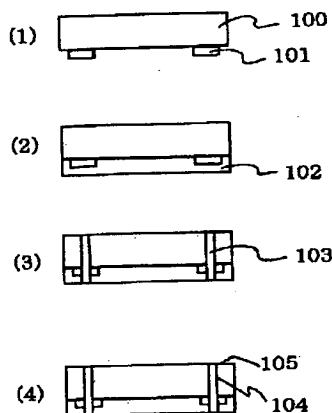
104 貫通穴の壁面

105 絶縁処理層

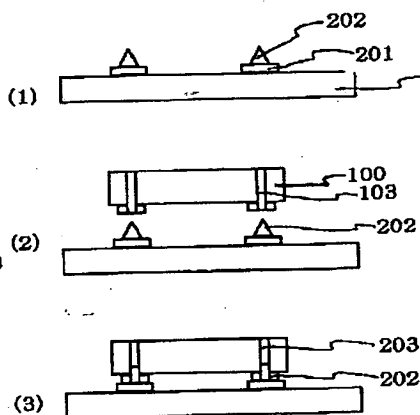
110 半導体素子
 111 半導体素子の電極
 113 貫通穴
 114 貫通穴の壁面
 115 電極のメタライズ面
 200 基板

201 基板の電極
 202 突起電極
 203 半導体装置の穴部
 212 突起電極
 300 半導体素子

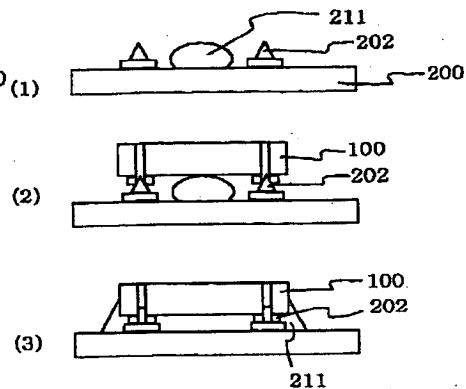
【図1】



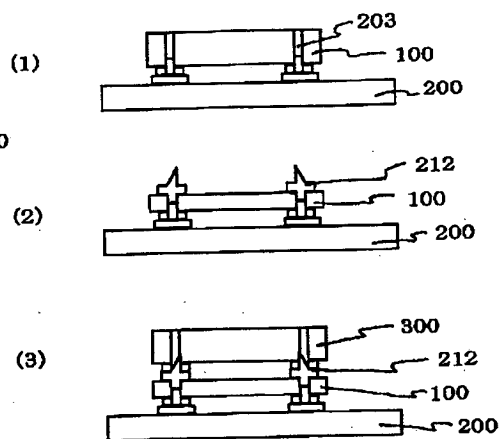
【図2】



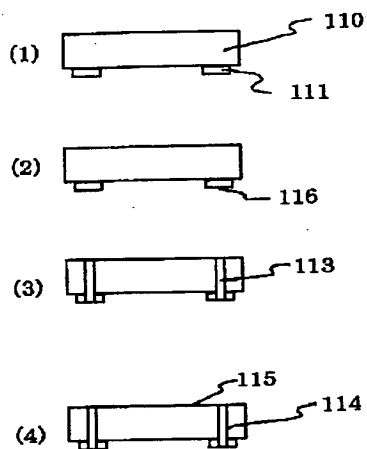
【図3】



【図5】



【図4】



THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286304
 (43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H01L 21/60
 H01L 21/46

(21)Application number : 11-094093

(71)Applicant : SEIKO EPSON CORP.

(22)Date of filing : 31.03.1999

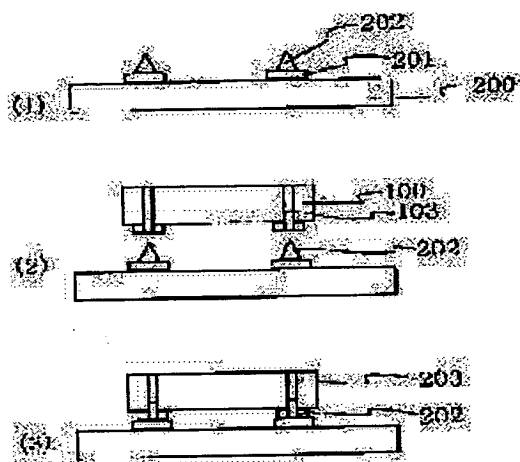
(72)Inventor : KURASHIMA YOHEI

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT, SEMICONDUCTOR ELEMENT, AND MANUFACTURE OF SEMICONDUCTOR DEVICE, AND MOUNTING MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a bare chip with a recess at an electrode by allowing an electrode conductive part to be exposed, provided with an insulated through-hole.

SOLUTION: A through-hole 103 is provided at a pad on a semiconductor element 100, and a protruding electrode 202 on a substrate is inserted in the hole 103. The insert lowers connection energy for connection. A clearance for a bump material in the through hole direction is provided for connection, and the connection is evaluated with the through-hole.



LEGAL STATUS

[Date of request for examination]

31.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

9810 10295 012
1740 1741-1749

2-11-2011 11:11 AM 11:11 AM 11:11 AM

WITANU CARAKASA ORA, TEBELI 80, 1976-1977, 1978, 1979, 1980, 1981, 1982, 1983, 1984, 1985, 1986, 1987, 1988, 1989, 1990, 1991, 1992, 1993, 1994, 1995, 1996, 1997, 1998, 1999, 2000, 2001, 2002, 2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022, 2023, 2024, 2025, 2026, 2027, 2028, 2029, 2030, 2031, 2032, 2033, 2034, 2035, 2036, 2037, 2038, 2039, 2040, 2041, 2042, 2043, 2044, 2045, 2046, 2047, 2048, 2049, 2050, 2051, 2052, 2053, 2054, 2055, 2056, 2057, 2058, 2059, 2060, 2061, 2062, 2063, 2064, 2065, 2066, 2067, 2068, 2069, 2070, 2071, 2072, 2073, 2074, 2075, 2076, 2077, 2078, 2079, 2080, 2081, 2082, 2083, 2084, 2085, 2086, 2087, 2088, 2089, 2090, 2091, 2092, 2093, 2094, 2095, 2096, 2097, 2098, 2099, 2100, 2101, 2102, 2103, 2104, 2105, 2106, 2107, 2108, 2109, 2110, 2111, 2112, 2113, 2114, 2115, 2116, 2117, 2118, 2119, 2120, 2121, 2122, 2123, 2124, 2125, 2126, 2127, 2128, 2129, 2130, 2131, 2132, 2133, 2134, 2135, 2136, 2137, 2138, 2139, 2140, 2141, 2142, 2143, 2144, 2145, 2146, 2147, 2148, 2149, 2150, 2151, 2152, 2153, 2154, 2155, 2156, 2157, 2158, 2159, 2160, 2161, 2162, 2163, 2164, 2165, 2166, 2167, 2168, 2169, 2170, 2171, 2172, 2173, 2174, 2175, 2176, 2177, 2178, 2179, 2180, 2181, 2182, 2183, 2184, 2185, 2186, 2187, 2188, 2189, 2190, 2191, 2192, 2193, 2194, 2195, 2196, 2197, 2198, 2199, 2200, 2201, 2202, 2203, 2204, 2205, 2206, 2207, 2208, 2209, 2210, 2211, 2212, 2213, 2214, 2215, 2216, 2217, 2218, 2219, 2220, 2221, 2222, 2223, 2224, 2225, 2226, 2227, 2228, 2229, 2230, 2231, 2232, 2233, 2234, 2235, 2236, 2237, 2238, 2239, 2240, 2241, 2242, 2243, 2244, 2245, 2246, 2247, 2248, 2249, 2250, 2251, 2252, 2253, 2254, 2255, 2256, 2257, 2258, 2259, 2260, 2261, 2262, 2263, 2264, 2265, 2266, 2267, 2268, 2269, 2270, 2271, 2272, 2273, 2274, 2275, 2276, 2277, 2278, 2279, 2280, 2281, 2282, 2283, 2284, 2285, 2286, 2287, 2288, 2289, 2290, 2291, 2292, 2293, 2294, 2295, 2296, 2297, 2298, 2299, 2300, 2301, 2302, 2303, 2304, 2305, 2306, 2307, 2308, 2309, 2310, 2311, 2312, 2313, 2314, 2315, 2316, 2317, 2318, 2319, 2320, 2321, 2322, 2323, 2324, 2325, 2326, 2327, 2328, 2329, 2330, 2331, 2332, 2333, 2334, 2335, 2336, 2337, 2338, 2339, 2340, 2341, 2342, 2343, 2344, 2345, 2346, 2347, 2348, 2349, 2350, 2351, 2352, 2353, 2354, 2355, 2356, 2357, 2358, 2359, 2360, 2361, 2362, 2363, 2364, 2365, 2366, 2367, 2368, 2369, 2370, 2371, 2372, 2373, 2374, 2375, 2376, 2377, 2378, 2379, 2380, 2381, 2382, 2383, 2384, 2385, 2386, 2387, 2388, 2389, 2390, 2391, 2392, 2393, 2394, 2395, 2396, 2397, 2398, 2399, 2400, 2401, 2402, 2403, 2404, 2405, 2406, 2407, 2408, 2409, 2410, 2411, 2412, 2413, 2414, 2415, 2416, 2417, 2418, 2419, 2420, 2421, 2422, 2423, 2424, 2425, 2426, 2427, 2428, 2429, 2430, 2431, 2432, 2433, 2434, 2435, 2436, 2437, 2438, 2439, 2440, 2441, 2442, 2443, 2444, 2445, 2446, 2447, 2448, 2449, 2450, 2451, 2452, 2453, 2454, 2455, 2456, 2457, 2458, 2459, 2460, 2461, 2462, 2463, 2464, 2465, 2466, 2467, 2468, 2469, 2470, 2471, 2472, 2473, 2474, 2475, 2476, 2477, 2478, 2479, 2480, 2481, 2482, 2483, 2484, 2485, 2486, 2487, 2488, 2489, 2490, 2491, 2492, 2493, 2494, 2495, 2496, 2497, 2498, 2499, 2500, 2501, 2502, 2503, 2504, 2505, 2506, 2507, 2508, 2509, 2510, 2511, 2512, 2513, 2514, 2515, 2516, 2517, 2518, 2519, 2520, 2521, 2522, 2523, 2524, 2525, 2526, 2527, 2528, 2529, 2530, 2531, 2532, 2533, 2534, 2535, 2536, 2537, 2538, 2539, 2540, 2541, 2542, 2543, 2544, 2545, 2546, 2547, 2548, 2549, 2550, 2551, 2552, 2553, 2554, 2555, 2556, 2557, 2558, 2559, 2560, 2561, 2562, 2563, 2564, 2565, 2566, 2567, 2568, 2569, 2570, 2571, 2572, 2573, 2574, 2575, 2576, 2577, 2578, 2579, 2580, 2581, 2582, 2583, 2584, 2585, 2586, 2587, 2588, 2589, 2590, 2591, 2592, 2593, 2594, 2595, 2596, 2597, 2598, 2599, 2600, 2601, 2602, 2603, 2604, 2605, 2606, 2607, 2608, 2609, 2610, 2611, 2612, 2613, 2614, 2615, 2616, 2617, 2618, 2619, 2620, 2621, 2622, 2623, 2624, 2625, 2626, 2627, 2628, 2629, 2630, 2631, 2632, 2633, 2634, 2635, 2636, 2637, 2638, 2639, 2640, 2641, 2642, 2643, 2644, 2645, 2646, 2647, 2648, 2649, 2650, 2651, 2652, 2653, 2654, 26

1. The first of these is the fact that the Commission has not yet received any information from the Government of the United Kingdom regarding the progress of its investigation into the activities of the British Security Co-ordination Unit (BSCU) in the United States. This is a matter of great importance, as the BSCU was the main source of information for the British Government regarding the activities of the United States Government in the United Kingdom. The Commission is therefore unable to provide any information regarding the activities of the BSCU in the United States.

THIS PAGE BLANK (USPTO)

1042 MC-

[illegible]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st process which arranges an insulation-ized layer (102) to the polar-zone (101) side of a semiconductor device (100), The 2nd process which forms the through hole (103) which penetrates said insulation-ized layer (102), said polar zone (101), and semiconductor device (100), The manufacture approach of the semiconductor device characterized by performing the 3rd process which forms in the range containing the wall section (104) of said through hole (103) the insulating processing layer (105) which performs insulating processing, and the 4th process which removes the insulating layer (102) of said polar zone in this sequence.

[Claim 2] The 1st process which carries out gilding processing to the polar-zone (111) side of a semiconductor device (110), and forms a metal layer (116) in it, The 2nd process which forms the through hole (113) which penetrates said polar zone (111) and semiconductor device (110), The manufacture approach of the semiconductor device characterized by performing the 3rd process which performs insulation-ized processing to the range containing the wall section (114) of said through hole, and forms an insulating processing layer (115) in it in this sequence.

[Claim 3] It is the manufacture approach of the semiconductor device characterized by forming said insulation-ized layer (102) with a resin ingredient in the manufacture approach of a semiconductor device according to claim 1.

[Claim 4] Said insulation-ized layer (102) according to claim 1 is the manufacture approach of the semiconductor device characterized by forming by carrying out heating fusion of the thermoplastic system resin.

[Claim 5] Said insulation-ized layer (102) according to claim 3 is the manufacture approach of the semiconductor device characterized by being formed with a photopolymer.

[Claim 6] It is the manufacture approach of the semiconductor device characterized by forming said insulating processing layer (105) with heat-curing resin in the manufacture approach of claim 1 thru/or one of semiconductor devices according to claim 5.

[Claim 7] It is the manufacture approach of the semiconductor device characterized by forming said insulating processing layer (105/115) by the spatter of an oxide in the manufacture approach of claim 1 thru/or one of semiconductor devices according to claim 2.

[Claim 8] The manufacture approach of the semiconductor device characterized by making insulation-ized processing form by oxidation of a semiconductor device in the manufacture approach of a semiconductor device according to claim 2.

[Claim 9] The manufacture approach of the semiconductor device characterized by performing from the first process to the 4th process in the state of a wafer, carrying out dicing in a final process, and using it as a semiconductor device in the manufacture approach of a semiconductor device according to claim 1.

[Claim 10] The manufacture approach of the semiconductor device characterized by performing from the first process to the 3rd process in the state of a wafer, carrying out dicing in a final process, and using it as a semiconductor device in the manufacture approach of a semiconductor device according to claim 2.

[Claim 11] The manufacture approach of the semiconductor device characterized by forming claim 1 thru/or one of through hole formation processes according to claim 2 by laser processing.

[Claim 12] The semiconductor device characterized by being formed by enforcing the manufacture approach of claim 1 thru/or one of semiconductor devices according to claim 2.

[Claim 13] The semiconductor device characterized by carrying out metal membrane formation processing in which it has an antioxidizing function for the polar zone of said semiconductor device, in the semiconductor device of claim 12.

[Claim 14] The manufacture approach of the semiconductor device characterized by performing the process which carries out alignment of a semiconductor device (100/110) according to claim 12 and the wiring substrate (200) which has a projection electrode (202) in the location of the through hole (103/113) of the electrode of said semiconductor device, and the process which inserts said projection electrode (202) in a through hole (103/113) and the process to connect in this sequence.

[Claim 15] The manufacture approach of the semiconductor device characterized by making a supersonic wave add at the time of said insertion in the manufacture approach according to claim 14.

[Claim 16] The semiconductor device characterized by being formed by enforcing the manufacture approach according to claim 14.

[Claim 17] The mounting module characterized by performing electrotreatment to the through hole section (203) of a semiconductor device according to claim 16, forming a projection electrode (212), carrying out the laminating of the semiconductor device according to claim 13, and being constituted.

[Claim 18] The mounting module characterized by forming the electrotreatment of a mounting module according to claim 17 by making wire bonding the through hole section.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device, a semiconductor device, the manufacture approach of a semiconductor device, a semiconductor device, and a mounting module. Especially, it is related with flip chip mounting of a bare chip.

[0002]

[Background of the Invention] The conventional bare chip mounting is large and three methods are proposed. One is the mounting method which used the wire-bonding technique, for example, it is a method which pastes up a bare chip on a mounting substrate, pastes up an active side upwards (face up is usually called), and connects aluminum electrode of a chip, and electrode wiring on a substrate with the wire of Au. The 2nd mounting method is a method called TAB (Tape Automated Bonding) technique, for example, connects Cu lead on PI tape, and the bump electrode on a chip with the eutectic alloy of Au-Sn. The 3rd is called flip chip mounting (called face down mounting), and they make a bare chip a face down and connect the bump electrode of a bare chip, and the electrode on a substrate. The various proposals of the mounting method are made from the solder to the connection type of a resin system. The electrode with which it counters in that case prepares a convex type electrode for an electrode in the pad of a chip, and is joining with a convex type-convex type [which joins the pad section from which the substrate side projected to the pad by the side of a substrate, or the pad of the tip side / to say], convex type-flat form, and flat form-convex type combination.

[0003] Moreover, in the junction, it is an important quality factor for the junction conditions in which the junction condition has dependability, and optimum conditions were decided to various kinds of mounting methods of construction, respectively.

[0004]

[Problem(s) to be Solved by the Invention] By the way, the demand of the formation of a ** pitch of connection wiring and the formation of many pins has increased as a circuit trend of a bare chip. Moreover, the substrate which receives it also became complicated with the formation of a ** pitch of the wiring Ruhr, and mounting in consideration of the property of a substrate has been needed.

[0005] Moreover, the terminal area of the power supply terminal of electronic equipment and the signal terminal for I/O is reduced with the miniaturization of electronic equipment in recent years, and the motion which is going to miniaturize electronic equipment further is also active. In such a situation, the demand of flip chip mounting which can realize high density assembly has increased.

[0006] It is in offering that this invention is made so that it may meet such a demand, lessens pitch minutely junction and joins stress for it. Moreover, the connection which is the demerit of a flip chip hides and it is in making a technical problem solved to the trouble of being hard to inspect.

[0007]

[Means for Solving the Problem] The 1st process to which the manufacture approach of the semiconductor device of this invention arranges an insulation-ized layer (102) to the polar-zone (101) side of a semiconductor device (100), The 2nd process which forms the through hole (103) which penetrates said insulation-ized layer (102), said polar zone (101), and semiconductor device (100), It is characterized by performing the 3rd process which forms in the range containing the wall section (104) of said through hole (103) the insulating processing layer (105) which performs insulating processing, and the 4th process which removes the insulating layer (102) of said polar zone in this sequence.

[0008] According to the manufacture approach of the semiconductor device by this invention, the electrode flow section is exposed, and since the through hole by which insulating processing was carried out can be obtained, the bare chip which has a concave configuration in the polar zone can be offered.

[0009] The 1st process which the manufacture approach of the semiconductor device of this invention carries out gilding processing to the polar-zone (111) side of a semiconductor device (110), and forms a metal layer (116), It is characterized by performing the 2nd process which forms the through hole (113) which penetrates said polar zone (111) and semiconductor device (110), and the 3rd process which performs insulation-ized processing to the range containing the wall section (114) of said through hole, and forms an insulating processing layer (115) in it in this sequence.

[0010] According to the manufacture approach of the semiconductor device by this invention, the electrode flow section is exposed, and since the through hole by which insulating processing was carried out can be obtained, the bare chip which has a concave configuration in the polar zone can be offered.

[0011] The manufacture approach of the semiconductor device of this invention is characterized by forming said insulation-ized layer (102) with a resin ingredient in the manufacture approach of a semiconductor device according to claim 1.

[0012] According to the manufacture approach of the semiconductor device by this invention, it is laminable using a resist ingredient like the usual cheap dry film.

[0013] The manufacture approach of the semiconductor device of this invention is characterized by forming said insulation-ized layer (102) according to claim 1 by carrying out heating fusion of the thermoplastic system resin.

[0014] According to the manufacture approach of the semiconductor device by this invention, it can manufacture using the technique of the usual spin coat.

[0015] The manufacture approach of the semiconductor device of this invention is characterized by forming said insulation-ized layer (102) according to claim 3 with a photopolymer.

- [0016] According to the manufacture approach of the semiconductor device by this invention, it becomes possible to perform resist processing only to the polar zone of an active side.
- [0017] The manufacture approach of the semiconductor device of this invention is characterized by forming said insulating processing layer (105) with heat-curing resin in the manufacture approach of claim 1 thru/or one of semiconductor devices according to claim 5.
- [0018] According to the manufacture approach of the semiconductor device by this invention, an insulating layer can be easily formed in the through hole section.
- [0019] The manufacture approach of the semiconductor device of this invention is characterized by forming said insulating processing layer (105/115) by the spatter of an oxide in the manufacture approach of claim 1 thru/or one of semiconductor devices according to claim 2.
- [0020] According to the manufacture approach of the semiconductor device by this invention, it is stabilized to the shape of toothing of a hole, and it becomes possible to perform film attachment.
- [0021] The manufacture approach of the semiconductor device of this invention is characterized by making insulation-ized processing form by oxidation of a semiconductor device in the manufacture approach of a semiconductor device according to claim 2.
- [0022] According to the manufacture approach of the semiconductor device by this invention, at the process of only heating, oxide-film attachment becomes possible and film attachment can be stably carried out to a hole.
- [0023] The manufacture approach of the semiconductor device of this invention is characterized by performing from the first process to the 4th process in the state of a wafer, carrying out dicing in a final process, and using it as a semiconductor device in the manufacture approach of a semiconductor device according to claim 1.
- [0024] According to the manufacture approach of the semiconductor device by this invention, since it processes in the state of a wafer, it can process to a package and the sex from Takao becomes possible.
- [0025] The manufacture approach of the semiconductor device of this invention is characterized by performing from the first process to the 3rd process in the state of a wafer, carrying out dicing in a final process, and using it as a semiconductor device in the manufacture approach of a semiconductor device according to claim 2.
- [0026] According to the manufacture approach of the semiconductor device by this invention, since it processes in the state of a wafer, it can process to a package and the sex from Takao becomes possible.
- [0027] The manufacture approach of the semiconductor device of this invention is the manufacture approach of the semiconductor device characterized by forming claim 1 thru/or one of through hole formation processes according to claim 2 by laser processing.
- [0028] According to the manufacture approach of the semiconductor device by this invention, the through hole of the diameter of detailed of a high aspect is easily processible.
- [0029] Moreover, the semiconductor device of this invention is a semiconductor device characterized by being formed by enforcing the manufacture approach of claim 1 thru/or one of semiconductor devices according to claim 2.
- [0030] Moreover, if it becomes the structure which has a hole in the polar zone of a semiconductor device according to the semiconductor device by this invention and the height of a mounting substrate is inserted in the hole of a semiconductor device, it will realize and the mounting nature of connection to a mounting substrate will improve.
- [0031] The semiconductor device of this invention is characterized by carrying out metal membrane formation processing in which it has an antioxidizing function for the polar zone of said semiconductor device in the semiconductor device of claim 10.
- [0032] According to the semiconductor device by this invention, the electric conduction-ized layer which does not react is maintainable to a subsequent oxide-film attachment process.
- [0033] The manufacture approach of the semiconductor device of this invention is characterized by performing the process which carries out alignment of a semiconductor device (100/110) according to claim 10 and the wiring substrate (200) which has a projection electrode (202) in the location of the through hole (103/113) of the electrode of said semiconductor device, and the process which inserts said projection electrode (202) in a through hole (103/113) and the process to connect in this sequence.
- [0034] According to the manufacture approach of the semiconductor device by this invention, the structure where the projection electrode by the side of a substrate and the electrode by the side of a semiconductor device can take electrical installation easily can be acquired. Moreover, structure with the recess of the form status change form of a projection electrode can be taken in the through hole section to the projection electrode by the side of a substrate. Moreover, it can let a through hole pass and mounting nature can be evaluated.
- [0035] The manufacture approach of the semiconductor device of this invention is characterized by making a supersonic wave add at the time of said insertion in the manufacture approach according to claim 14.
- [0036] According to the manufacture approach of the semiconductor device by this invention, the connection which could eliminate the oxide film of the polar zone of a semiconductor device, and could grow up the alloy layer in the interface by connection, and was stabilized can be obtained.
- [0037] The semiconductor device of this invention is characterized by being formed by enforcing the manufacture approach according to claim 14.
- [0038] According to the semiconductor device by this invention, mounting nature inspectability can offer easy structure.
- [0039] The mounting module of this invention performs electrotreatment to the through hole section (203) of a semiconductor device according to claim 16, forms a projection electrode (212), and is characterized by carrying out the laminating of the semiconductor device according to claim 13, and being constituted.
- [0040] According to the mounting module by this invention, it becomes possible to carry out three-dimension mounting, and packaging density is raised.
- [0041] The mounting module of this invention is characterized by forming the electrotreatment of a mounting module according to claim 17 by making wire bonding the through hole section.
- [0042] According to the mounting module by this invention, the vertical flow electrode in a laminated structure can be formed easily, and three-dimension mounting structure can be offered.
- [0043]
- [Embodiment of the Invention] With reference to each drawing, the semi-conductor module manufacture approach in connection with this invention is stated to a detail below.
- [0044] Drawing 1 is a schematic diagram by one example of this invention. There is it along drawing and the manufacture approach is explained. First, lamination processing is carried out as a mask tape to the active side of a bare chip 100. The resist

agent of a dry film gestalt is used for the lamination tape 102, and it protects the pad section 101. To the active side, the dry film was stuck with the laminator, it baked, and the resist was created. Next, punching by laser is carried out in the pad section of a bare chip. Laser is using the higher harmonic of YAG, and punching within pad area [of 50 micrometers] ** of it becomes possible, and it forms the 20-30-micrometer through hole 103. Usually, pad size is 100-micrometer angle extent, and punching of it which does not make other active sides which processed only the center section of the pad produce a defect becomes possible. Next, insulating processing is carried out to a hole 104 and the insulating processing layer 105 is created. Insulating processing injects resin into a hole by capillarity using the low insulating resin of viscosity. After impregnation, it bakes and resin is stiffened. By hypoviscosity-izing viscosity, it is possible to carry out insulating processing only to a through hole internal surface. Here, by using the resin of the thermoplastic system represented by the hot melt system, the viscosity of resin falls with heating and it becomes possible to pour in easily. Next, a lamination agent is stripped and only the pad section exposes a current carrying part. By wet etching, the resist agent which consists of a dry film can be exfoliated. Moreover, the electrode of a pad can be exposed by performing dry etching of O₂ plasma etc. to an active side. The part in which only the pad section was electric-conduction-ized and included other punching parts by this can create the insulation-ized bare chip.

[0045] On the other hand, the processing by the side of a substrate and the mounting approach of a semiconductor device are explained to drawing 2. As a convex type electrode, the stud bump 202 is created to the electrode 201 by the side of a substrate 200. Au plating processing is beforehand performed to a substrate side, and bump attachment is performed. A bump is the technique of wire bonding, lengthens by making connection by the side of [wire bonding] primary using about [phi25micrometer] Au line, and creates a projection electrode with a julienning method. The conic projection electrode of 50-micrometer height extent can be made to form by the stud bump. Then, flip chip mounting of the bare chip 100 which created the through hole 103 in the above-mentioned bump section is carried out. In connection, the image recognition of the circuit pattern of a substrate and the active side pattern of a chip is carried out according to an individual, and alignment is performed. Then, the bump 202 by the side of a substrate is inserted in the through hole section 103 of a chip by press fit. The stud bump is made from Au material, can take a large change of a configuration with the ductility of Au, and can get sufficient connection area. Moreover, in junction, since it is carried out by press fit, it is not necessary to heat specially.

[0046] Although a stud bump's example explained bump attachment, even if it is a plating bump, connection is possible and can secure connection using the ductility of Au.

[0047] Moreover, about junction, more positive junction can be acquired by giving a supersonic wave at the time of press fit. Although the pad of a bare chip is usually formed with aluminum, aluminum tends to make a firm oxide film form that it is easy to oxidize. Therefore, a supersonic wave is given at the time of junction, and the junction stabilized when removing and joining the oxide film of aluminum is acquired. In addition, it is satisfactory if metallizing of the pad is carried out with the metal which cannot oxidize easily.

[0048] Moreover, it becomes joinable [which the stable intermetallic compound with the metal of a stud bump and a bump was formed, and it was stabilized more] by heating at the time of junction. An intermetallic compound can also be stabilized with baking after junction. In the case of an agreement contiguity group, in stabilization of an alloy presentation, and connection by adhesives, in the usual connection, connection conditions are severely managed for prevention of air bubbles, stabilization of the rate of resin hardening, etc. According to this invention to it, if a projection electrode is fundamentally inserted in a hole, electrical installation will be obtained, and the connection management point can be lessened very much.

[0049] According to this method, in detailed pitch connection, an adjacent bump's short-circuit poses a problem, but the part from which an excessive bump escapes to insertion of a stud bump's bump material because a through hole is in a chip is formed, and the short probability of occurrence by deformation of an adjacent bump can be lowered. Moreover, when a substrate is used as an organic substrate, the level difference of about ten micrometers occurs within a flip chip component side with the irregularity of a substrate, and connection must be taken without opening and short generating to it. Therefore, it deforms considerably, the gap of a chip and a substrate becomes narrow in the range which is especially the heights of a substrate, and the bump of a joint has a large deformation degree. By this method, correspondence is possible to this demand with the recess point of deformation of a stud bump.

[0050] Moreover, the under-filling material 211 can be applied at the time of connection, flip chip mounting can be performed, and under-filling can be made to form, as shown in drawing 3. Heat hardening of the under-filling material can be carried out according to the desiccation process after flip chip mounting, and the processing of the bonding process itself in a short time is attained.

[0051] Moreover, according to this method, a connection is Au ingredient, and since there is ductility, it will fully be made as for stress relaxation to wire bonding and an EQC to the generating stress by the differential thermal expansion.

[0052] Moreover, a switching performance is manageable by managing the amount of bump insertion to a through hole after connection. Moreover, it is possible for it to be exposed, and for an electrode connection to let the through hole of a chip pass, and to check a loading gap, it is inserting a pin in the through hole of a chip, and it is also possible to carry out electrical installation inspection.

[0053] Moreover, when there is a through hole, in the alignment before connection, it lets a through hole pass from the camera of the same direction, and recognition of a through hole location and the electrode location of a substrate is attained.

[0054] Drawing 4 is another example of this invention. First, surface treatment is performed to the pad 111 of a bare chip 110. Surface treatment carries out metallizing 116 to a pad using an electroless deposition process. First, to aluminum pad, zincate processing is performed, next nickel plating and Au plating are performed as processing in which it does not electrolyze. A film 1 micrometer or less is [that what is necessary is just to form the antioxidizing film to aluminum pad] enough as non-electrolyzed. Au plating. According to electroless deposition, metallizing becomes possible, without creating [as opposed to / especially / the polar zone] a mask, and processing becomes possible by low cost. Next, punching of the pad section is carried out with laser. It is possible like the example of point ** to form the dozens of micrometers through hole 113 by the higher harmonic of YAG. Then, an oxide film is created as insulating processing of a hole. An oxide film 115 is created by diffusion [be / it / under / heating oxygen ambient atmosphere / depending]. Only the chip polar zone is electric-conduction-ized by this, and other area can form the chip insulated by oxide film formation. By using this chip, as explained previously, a chip can be mounted to a wiring substrate.

[0055] Although the above-mentioned contents explained the bare chip simple substance, they can carry out the above-mentioned process to a wafer. By processing on wafer level, productivity is high and it can process to a package.

[0056] Moreover, although the through hole by laser was created in explanation, the bump by the side of a substrate does not need to be a through hole that what is necessary is just to be able to press fit in the hole of the tip side.

[0057] Moreover, drawing 5 is the example of the laminating mounting module which used this method. Like explanation of point **, a rear face is ground and chip thickness is set to 50 micrometers or less, after mounting bare chips 100/110. Of course, you may make it 50 micrometers or less in the state of the first bare chip. By this, the level difference which is the depth from a chip rear face to Au material of a connection terminal area with the substrate by the side of an active side can be set to about 20 micrometers to a chip rear face. Then, the stud bump 212 is created to the tip side. Although the bump was based also on the diameter of a bump to create, she created with the diameter of 60 micrometers of diameters of a spark using phi25micrometer Au line. Although the level difference of about 20 micrometers will be in the through hole polar zone on the top face of a chip, wire bonding is performed into the part. Gold is pressed fit in the through hole section by that the through hole section is thin, and it becomes connectable. Under the present circumstances, it lets a through hole pass, and a lower golden electrode and the stud bump who formed in the chip top face can form the alloy of golden-gold, and can deal in connection dependability. Then, the chip 300 which performed through hole processing to the chip is mounted like the above-mentioned using the projection electrode by this stud bump.

[0058] Although the laminating of a chip has an example about the thing of a gestalt which can connect the same terminal like memory It is not necessary to prepare an electrode especially in a lower chip, according to this method, make the field which does not carry out circuit formation to a lower chip; vacate a through hole there, and with a substrate, if it is made to wire with the electrode of the 2nd step of chip The circuit formation which tiers is attained without not being based on a chip size and making the common electrode same in the 2nd step as the 1st step. That is, by devising the chip design by the side of the lower berth, pad layouts differed and the laminating of a bare chip where chip sizes differed becomes possible easily.

[0059] Moreover, in this example, although the stud bump creation by wire bonding explained the 1st step and a vertical flow of the 2nd step, the projection polar zone of a connection can be made to be able to project to the 1st step of chip by press fit of flow ingredients, such as a pin, and it can be used as an insertion [the 2nd step of] electrode.

[0060] According to the above mounting module, the beer formed in the chip performs the vertical flow of a chip, and it becomes possible in three dimension to constitute a chip circuit from space-saving [ultimate].

[0061] [Effect of the Invention] According to the manufacture approach of the semiconductor device by this invention, the electrode flow section is exposed, and since the through hole by which insulating processing was carried out can be obtained, the bare chip which has a concave configuration in the polar zone can be offered.

[0062] Moreover, according to the manufacture approach of the semiconductor device by this invention, it is laminable using a resist ingredient like the usual cheap dry film.

[0063] Moreover, according to the manufacture approach of the semiconductor device by this invention, it can manufacture using the technique of the usual spin coat.

[0064] Moreover, according to the manufacture approach of the semiconductor device by this invention, it becomes possible to perform resist processing only to the polar zone of an active side.

[0065] Moreover, according to the manufacture approach of the semiconductor device by this invention, an insulating layer can be easily formed in the through hole section.

[0066] Moreover, according to the manufacture approach of the semiconductor device by this invention, it is stabilized to the shape of toothing of a hole, and it becomes possible to perform film attachment.

[0067] Moreover, according to the manufacture approach of the semiconductor device by this invention, at the process of only heating, oxide-film attachment becomes possible and film attachment can be stably carried out to a hole.

[0068] Moreover, according to the manufacture approach of the semiconductor device by this invention, since it processes in the state of a wafer, it can process to a package and the sex from Takao becomes possible.

[0069] Moreover, according to the manufacture approach of the semiconductor device by this invention, the through hole of the diameter of detailed of a high aspect is easily processible.

[0070] Moreover, if it becomes the structure which has a hole in the polar zone of a semiconductor device according to the semiconductor device by this invention and the height of a mounting substrate is inserted in the hole of a semiconductor device, it will realize and the mounting nature of connection to a mounting substrate will improve.

[0071] The semiconductor device of this invention is characterized by carrying out metal membrane formation processing in which it has an antioxidizing function for the polar zone of said semiconductor device in the semiconductor device of claim 10.

[0072] According to the semiconductor device by this invention, the electric conduction-ized layer which does not react is maintainable to a subsequent oxide-film attachment process.

[0073] According to the manufacture approach of the semiconductor device by this invention, the structure where the projection electrode by the side of a substrate and the electrode by the side of a semiconductor device can take electrical installation easily can be acquired. Moreover, structure with the recess of the form status change form of a projection electrode can be taken in the through hole section to the projection electrode by the side of a substrate. Moreover, it can let a through hole pass and mounting nature can be evaluated.

[0074] According to the manufacture approach of the semiconductor device by this invention, the connection which could eliminate the oxide film of the polar zone of a semiconductor device, and could grow up the alloy layer in the interface by connection, and was stabilized can be obtained.

[0075] According to the semiconductor device by this invention, mounting nature inspectability can offer easy structure.

[0076] According to the mounting module by this invention, it becomes possible to carry out three-dimension mounting, and packaging density is raised.

[0077] According to the mounting module by this invention, the vertical flow electrode in a laminated structure can be formed easily, and three-dimension mounting structure can be offered.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the schematic diagram which one example of this inventions explains.

[Drawing 2] It is the schematic diagram which one example of this inventions explains.

[Drawing 3] It is the schematic diagram which one example of this inventions explains.

[Drawing 4] It is the schematic diagram which one example of this inventions explains.

[Drawing 5]

[Description of Notations]

100 Semiconductor Device

101 Electrode of Semiconductor Device

102 Insulation-ized Layer

103 Through Hole

104 Wall Surface of through Hole

105 Insulating Processing Layer

110 Semiconductor Device

111 Electrode of Semiconductor Device

113 Through Hole

114 Wall Surface of through Hole

115 Metallizing Side of Electrode

200 Substrate

201 Electrode of Substrate

202 Projection Electrode

203 Hole of Semiconductor Device

212 Projection Electrode

300 Semiconductor Device

[Translation done.]

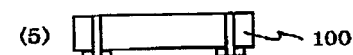
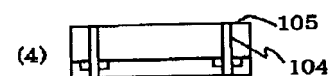
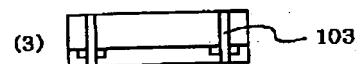
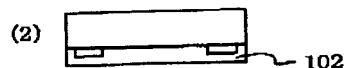
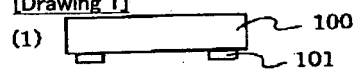
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

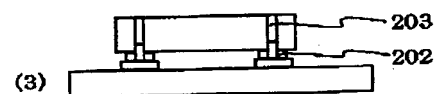
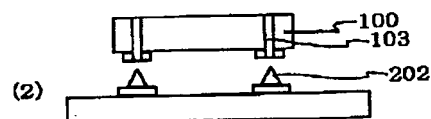
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

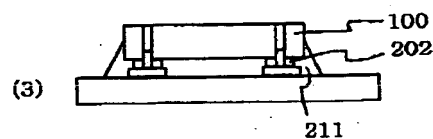
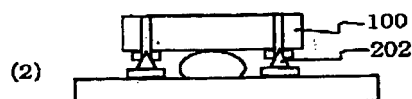
[Drawing 1]



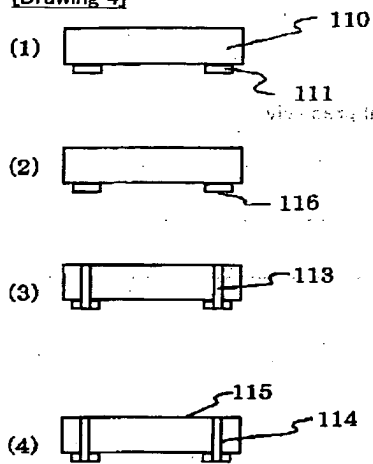
[Drawing 2]



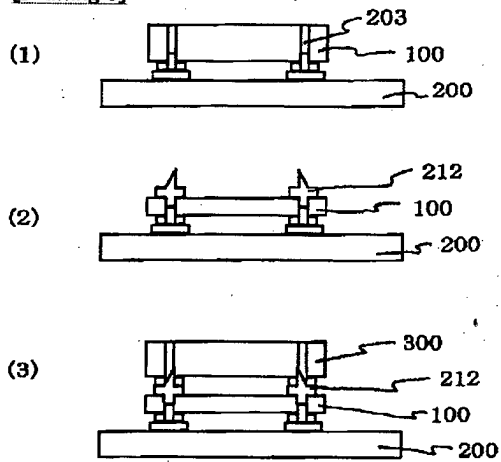
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]